

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **61-295655**  
(43)Date of publication of application : **26.12.1986**

(51)Int.Cl.

H01L 27/10  
H01L 27/06  
H01L 27/08  
H01L 29/78

(21)Application number : **60-138635**

(71)Applicant : **RICOH CO LTD**

(22)Date of filing : **24.06.1985**

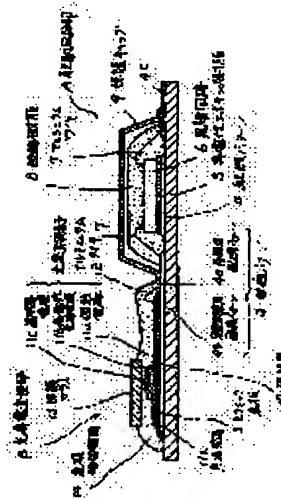
(72)Inventor : **KAMINO SATOSHI**

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

### (57)Abstract:

**PURPOSE:** To realize a direct coupling with analog circuits, to perform high-speed processing corresponding to the input and facilitate program change as well, by forming a bipolar transistor, MOS transistor, and memory element with writing and erasing capabilities, on the same substrate.

**CONSTITUTION:** A N-type epitaxial layer 4 and P-type isolation region 6 are formed on a P-type silicon substrate 2, together with a P well 21 in a FAMOS 20, a P well 31 in a NMOS transistor 30, a base 12 in a bipolar transistor 10, a contact 35 of the P well in the NMOS transistor, a source 41 and drain 42 in a PMOS transistor 40. Moreover, an emitter 14, a collector contact 16, a source 22 in the FAMOS 20, a drain 23, a source 32 in the NMOS transistor 30, a drain 33, and a contact 44 in the PMOS transistor 40 are formed. Thereafter, gate-oxidized films 24, 34, and 43, a floating gate 35, a layer oxidized film 26, a control gate 27, an oxidized film 8, a gate electrode, metal wirings, and the like are formed.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A) 昭61-295655

⑫ Int. Cl. 4

H 01 L 27/10  
27/06  
27/08  
29/78

識別記号

103  
102

府内整理番号

6655-5F  
6655-5F  
6655-5F  
7514-5F

⑬ 公開 昭和61年(1986)12月26日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体集積回路装置

⑮ 特願 昭60-138635

⑯ 出願 昭60(1985)6月24日

⑰ 発明者 神 基 聰 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑱ 出願人 株式会社リコー 東京都大田区中馬込1丁目3番6号

⑲ 代理人 弁理士 野口 繁雄

明細書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

(1) 同一基板上にバイポーラトランジスタ、MOSトランジスタ、並びに書き込み及び消去が可能なメモリ素子を形成したことを特徴とする半導体集積回路装置。

3. 発明の詳細な説明

(技術分野)

本発明はEPROMやEEPROMのようなメモリ素子を同一基板上に形成した半導体集積回路装置に関するものである。このような半導体集積回路装置は例えば1チップコントローラなどとして使用されるのに適する。

(従来技術)

EPROM又はEEPROMをMOSトランジ

スター又はCMOSとともに同一基板上に形成したものが知られている。例えばEPROM内蔵のCPUがある。

そのような半導体集積回路装置では、例えば外部回路としてアナログ回路を接続する場合にはADCコンバータやDACコンバータなどのインターフェイスを必要とし、また例えば外部回路として大電力回路を接続する場合には駆動用のトランジスタなどのインターフェイスを必要とする欠点がある。

(目的)

本発明は書き込み及び消去が可能なメモリ機能をもつ半導体集積回路装置において、外部回路との接続を容易にすることを目的とするものである。

(構成)

本発明の半導体集積回路装置は、同一基板上にバイポーラトランジスタ、MOSトランジスタ、並びに書き込み及び消去が可能なメモリ素子を形成したものである。

書き込み及び消去が可能なメモリ素子は、FAMOSのようなEEPROM、又はMNOSのようなEEPROMである。MOSトランジスタにはNチャネル型(NMOSトランジスタ)、Pチャネル型(PMOSトランジスタ)の他にCMOSも含まれ、これらは演算に適する。バイポーラトランジスタにはNPN型とPNP型があり、これらは大電力特性やアナログ特性が優れている。

以下、実施例について具体的に説明する。

第1図及び第2図は一実施例において1チップ内に形成される各素子を示す断面図である。ただし、メタル配線などは図示を省略してある。

第1図にはNPNバイポーラトランジスタ10とEEPROMとしてのFAMOS20とが示され、第2図にはCMOSを構成するNMOSトランジスタ30とPMOSトランジスタ40とが示されている。

2はP型シリコン基板、4はN型エピタキシャル層、6は分離領域、8は酸化膜である。

(図示略)が形成される。44はN型エピタキシャル層4のコンタクト領域である。

次に本実施例の製造工程について説明する。

(1) P型シリコン基板2上にN型エピタキシャル層4を形成した後、P型分離領域6を形成する。

(2) P型不純物の拡散によりFAMOS20のPウェル21とNMOSトランジスタ30のPウェル31を同時に形成する。

(3) P型不純物の拡散により、バイポーラトランジスタ10のベース12、NMOSトランジスタのPウェルのコンタクト35、及びPMOSトランジスタ40のソース41、ドレイン42を同時に形成する。

(4) N型不純物の拡散により、バイポーラトランジスタ10のエミッタ14、コレクタコンタクト16、FAMOS20のソース22、ドレイン23、NMOSトランジスタ30のソース32、ドレイン33、及びPMOSトランジスタ40のN型エピタキシャル層のコンタクト44を同時に

## 特開昭61-295655 (2)

バイポーラトランジスタ10において、12はPウェルのベース、14はN型拡散領域のエミッタ、16はコレクタのコンタクト領域である。

FAMOS20においてはPウェル21中にN型拡散領域のソース22とドレイン23が形成され、そのチャネル領域上にはゲート酸化膜24を介して第1のポリシリコン膜にてなるフローティングゲート25が形成され、さらにその上に層間酸化膜26を介して第2のポリシリコン膜にてなるコントロールゲート27が形成されている。

NMOSトランジスタ30においては、Pウェル31中にN型拡散領域のソース32とドレイン33が形成されており、そのチャネル領域上にはゲート酸化膜34を介してゲート電極(図示略)が形成される。35はPウェル31のコンタクト領域である。

PMOSトランジスタ40においては、N型エピタキシャル層4中にP型拡散領域のソース41とドレイン42が形成されており、そのチャネル領域上にはゲート酸化膜43を介してゲート電極

形成する。

(5) その後、通常の工程によりゲート酸化膜24、34、43を形成し、FAMOS20のフローティングゲート25、層間酸化膜26、コントロールゲート27を形成する。その後、酸化膜8、ゲート電極、メタル配線を形成し、パッシバーション膜を形成する。

### (効果)

本発明の半導体集積回路装置は、バイポーラトランジスタ、MOSトランジスタ、並びに書き込み及び消去が可能なメモリ素子を同一チップ内に形成しているため、次のような効果を実現することができる。

(1) バイポーラトランジスタ回路を用いて、光センサなどのアナログ回路と直結することができる。

(2) MOSトランジスタ回路を用いて、入力に応じた処理を高速に行ない、また、種々の演算を行なうことができる。

(3) 演算や処理を実行するプログラムをEPR  
OMやEEPROMのメモリ素子を用いて容易に  
変更することができる。

(4) 演算結果に従い、バイポーラトランジスタ  
回路を用いて大電力やリニア特性を要求される外  
部装置を駆動することができる。

#### 4. 図面の簡単な説明

第1図及び第2図は一実施例を示す部分断面図  
である。ただし、ハッティングは省略してある。

10……バイポーラトランジスタ。

20……FAMOS。

30……NMOSトランジスタ。

40……PMOSトランジスタ。

代理人弁理士野口繁雄

特開昭 61-295655 (3)

